

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-342033

(43)Date of publication of application : 13.12.1994

(51)Int.Cl.

G01R 31/26

G01R 31/28

H01L 21/66

(21)Application number : 05-151488

(71)Applicant : ANDO ELECTRIC CO LTD

(22)Date of filing : 28.05.1993

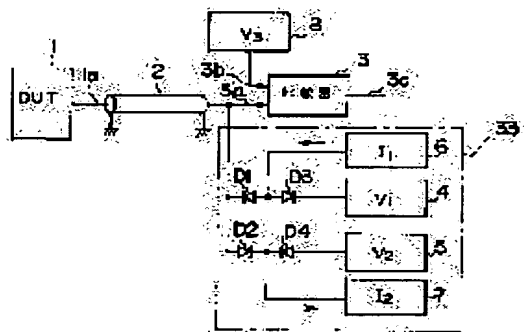
(72)Inventor : SEKI TAKANORI  
KUMAKI TAMOTSU

## (54) CLAMP CIRCUIT AND IC TESTER USING THE SAME

### (57)Abstract:

PURPOSE: To provide a clamp circuit which does not deteriorate to be broken even if a defective IC is tested and an IC tester using the circuit.

CONSTITUTION: A clamp circuit for reducing reflection waves when an input terminal 3a changes from high to low comprises a clamp diode D1, a constant current source 6 with the maximum current value set that can be made to flow from the clamp diode D1 to the input terminal 3a at the low level, a current absorbing diode D3 and a clamp voltage source 4 set at the low level. A clamp circuit for reducing reflection waves when the input terminal 3a rises from low to high comprises a clamp diode D2, a constant current source 7 with the maximum current value set that can be made to flow from the input terminal 3a at the high level to the clamp diode D2, a current absorbing diode D4 and a clamp voltage source 5 set at the high level.



## LEGAL STATUS

[Date of request for examination]

25.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3109329

[Date of registration]

14.09.2000

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

14.09.2003

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-342033

(43) 公開日 平成6年(1994)12月13日

(51) Int. Cl. <sup>5</sup>	識別記号	片内整理番号	P I	技術表示箇所
G 0 1 R 31/26 31/28	G	9214-2G		
H 0 1 L 21/06	F	7630-4M 8912-2G	G 0 1 R 31/ 28	R
審査請求 未請求 請求項の数 2 F D (全 5 頁)				

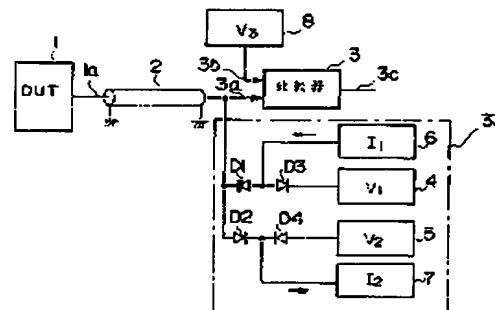
(21) 出願番号	特願平5-151488	(71) 出願人	000117744 安藤電気株式会社 東京都大田区蒲田4丁目19番7号
(22) 出願日	平成5年(1993)5月28日	(72) 発明者	関 隆則 東京都大田区蒲田4丁目19番7号 安藤電気株式会社内
		(72) 発明者	熊木 保 東京都大田区蒲田4丁目19番7号 安藤電気株式会社内

(54) 【発明の名称】 クランプ回路およびこれを用いたICテスト

(57) 【要約】

【目的】 不良のICを検査した場合でも劣化敬損することのないクランプ回路およびこれを用いたICテストを提供する。

【構成】 入力端子3aがHighからLowに変化したときの反射波を低減するクランプ回路は、クランプ用ダイオードD1と、クランプ用ダイオードD1からLowレベルの入力端子3aに向かって流すことができる最大の電流値が設定された定電流源6と、電流吸収用ダイオードD3と、Lowレベルに設定されたクランプ用電圧源4とを備える。入力端子3aのLowからHighへの立ち上がり時の反射波を低減するクランプ回路は、クランプ用ダイオードD2と、Highレベルの入力端子3aからクランプ用ダイオードD2に向かって流すことができる最大の電流値が設定された定電流源7と、電流吸収用ダイオードD4と、Highレベルに設定されたクランプ用電圧源とを備える。



Rest Available Conv

(2)

特開平6-342033

1

2

## 【特許請求の範囲】

【請求項1】 入力端子(3a)のH i g hレベルからL o wレベルへの立ち下がり時の反射波を低減する第1のクランプ手段と、入力端子(3a)のL o wレベルからH i g hレベルへの立ち上がり時の反射波を低減する第2のクランプ手段とを備えたクランプ回路において、第1のクランプ手段は、入力端子(3a)にカソードが接続された第1のクランプ用ダイオード(D1)と、第1のクランプ用ダイオード(D1)からL o wレベルの入力端子(3a)に向かって流すことができる最大の電流値が設定された第1の定電流源(6)と、第1の定電流源(6)とアノードが接続された第1の電流吸収用ダイオード(D3)と、第1の電流吸収用ダイオード(D3)のカソードに接続されたL o wレベルに設定されたクランプ用電圧源(4)とを備え、

第2のクランプ手段は、入力端子(3a)にアノードが接続された第2のクランプ用ダイオード(D2)と、H i g hレベルの入力端子(3a)から第2のクランプ用整流器(D2)に向かって流すことができる最大の電流値が設定された第2の定電流源(7)と、第2の定電流源(7)とカソードが接続された第2の電流吸収用ダイオード(D4)と、第2の電流吸収用ダイオード(D4)のアノードに接続されたH i g hレベルに設定されたクランプ用電圧源とを備えることを特徴とするクランプ回路。

【請求項2】 IC(1)の出力電圧値を基準電圧と比較することによりIC(1)の良否を判定するICテストにおいて、

IC(1)の出力電圧値を入力する入力回路の入力端子(3a)にカソードが接続された第1のクランプ用ダイオード(D1)と、第1のクランプ用ダイオード(D1)からL o wレベルの入力端子(3a)に向かって流すことができる最大の電流値が設定された第1の定電流源(6)と、第1の定電流源(6)とアノードが接続された第1の電流吸収用ダイオード(D3)と、第1の電流吸収用ダイオード(D3)のカソードに接続されたL o wレベルに設定されたクランプ用電圧源(4)とを備えた第1のクランプ手段と、入力端子(3a)にアノードが接続された第2のクランプ用ダイオード(D2)と、H i g hレベルの入力端子(3a)から第2のクランプ用ダイオード(D2)に向かって流しうる最大の電流値が設定された第2の定電流源(7)と、第2の定電流源(7)とカソードが接続された第2の電流吸収用ダイオード(D4)と、第2の電流吸収用ダイオード(D4)のアノードに接続されたH i g hレベルに設定されたクランプ用電圧源とを備えた第2のクランプ手段とを備え、第1のクランプ手段は入力端子(3a)のH i g hレベルからL o wレベルへの立ち下がり時の反射波を低減し、第2のクランプ手段は入力端子(3a)のL o wレベルからH i g hレベルへの立ち上がり時の反射波を低減することを特徴とするICテスト。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はクランプ回路、とくに検査されるICの出力電圧を測定することによりICの良否を判定するICテストなどの入力回路に有利に適用されるクランプ回路についてのものである。

【0002】

【従来の技術】従来の技術によるICテストの入力回路の構成および検査されるIC(以下、DUTという。)の接続を図3により説明する。

10 【0003】図3の1はDUT、2はDUTの出力端子とICテストの入力回路を接続する同軸ケーブルである。ICテストの入力回路は、比較器3、比較電圧源(V3)8およびクランプ回路31により構成され、クランプ回路31はクランプ用ダイオードD1・D2およびクランプ電圧源4・5で構成される。比較器3は、DUT1の出力状態(H i g hレベル、L o wレベル)の判定を基準電圧源8の出力3bと比較することで行う判定回路であり、判定出力3cをICテストの試験制御部に与え、DUT1の動作の良否を判定させる。

20 【0004】次にクランプ回路31について説明する。クランプ回路31はダイオードD1、D2およびクランプ電圧源4、5で構成されている。DUT1の出力信号は同軸ケーブル2を通じて比較器3に接続されるが、DUT1の出力インピーダンスは同軸ケーブル2の特性インピーダンスよりの数分の1であることと、比較器3は高入力インピーダンスであるため、同軸ケーブル2の特性インピーダンスと整合できない。このため、クランプ回路31がない場合、比較器3の入力端子3aで反射波を生じ、この反射波により比較器3の入力波形にリング(振動)が生じて比較器3が誤動作する。

30 【0005】図4は、DUT1の出力波形(実線)と、クランプ回路31が無い場合に入力端子3aに現れる波形(破線)を示したものである。図4に示すようにクランプ回路31がない場合には、DUT1の出力波形がH i g hレベルからL o wレベルに変化すると、反射波が生じてリングが発生しているのがわかる。クランプ回路の目的はこの反射波を低減することで比較器3の誤動作を防止することにある。

40 【0006】次に図3に示した従来の技術におけるクランプ回路31の動作を説明する。ダイオードD1とクランプ電圧源4はDUT1の出力がH i g hレベルからL o wレベルへの変化、すなわち立ち下がり時の反射波の低減する。クランプ電圧源4の電圧はほぼDUT1のL o wレベルと同じ電圧に設定されている。このため、反射によってダイオードD1のカソード(比較器の入力3a)の電圧がL o wレベルよりさらに負側へ駆動されると、ダイオードD1に電流が流れることにより反射波の振幅をおさえることができる。

50 【0007】一方、ダイオードD2とクランプ電圧源5はDUT1の出力がL o wレベルからH i g hレベルへ

(3)

特開平6-342033

3

の変化、すなわち立上り時の反射波を低減する。クランプ電圧源5の電圧は、ほぼDUT1のHighレベルと同じ電圧に設定されている。このため、反射によってダイオードD2のアノード（比較器の入力3a）の電圧がHighレベルよりさらに正側へ駆動されると、ダイオードD2に電流が流れて立下り時と同様に反射波の振幅をおさえることができる。

【0008】

【発明が解決しようとする課題】しかし、このような従来技術におけるクランプ回路では、クランプ電圧源4および5の電圧値は正常なDUT1のHighレベルまたはLowレベル値をもとに設定するため、不良品のDUT1を検査したときにダイオードD1・D2に予期せぬ過大電流が流れ、クランプ回路31が劣化破壊することがあった。したがって、従来のクランプ回路を用いたICテストは、耐久性が低く、作業性が悪くなるという欠点があった。

【0009】この発明は、不良のICを検査した場合でも劣化破壊することのないクランプ回路およびこれを用いたICテストを提供することを目的とする。

【0010】

【課題を解決するための手段】この目的を達成するために、この発明は、入力端子3aのHighレベルからLowレベルへの立ち下り時の反射波を低減する第1のクランプ手段と、入力端子3aのLowレベルからHighレベルへの立ち上がり時の反射波を低減する第2のクランプ手段とを備えたクランプ回路において、第1のクランプ手段は、入力端子3aにカソードが接続された第1のクランプ用ダイオードD1と、第1のクランプ用ダイオードD1からLowレベルの入力端子3aに向かって流すことができる最大の電流値が設定された第1の定電流源6と、第1の定電流源6とアノードが接続された第1の電流吸収用ダイオードD3と、第1の電流吸収用ダイオードD3のカソードに接続されたLowレベルに設定されたクランプ用電圧源4とを備える。また、第2のクランプ手段は、入力端子3aにアノードが接続された第2のクランプ用ダイオードD2と、Highレベルの入力端子3aから第2のクランプ用ダイオードD2に向かって流すことができる最大の電流値が設定された第2の定電流源7と、第2の定電流源7とカソードが接続された第2の電流吸収用ダイオードD4と、第2の電流吸収用ダイオードD4のアノードに接続されたHighレベルに設定されたクランプ用電圧源とを備える。

【0011】またこの発明によれば、DUT1の出力電圧値を基準電圧と比較することによりDUT1の良否を判定するICテストは、DUT1の出力電圧値を入力する入力回路の入力端子3aにカソードが接続された第1のクランプ用ダイオードD1と、第1のクランプ用ダイオードD1からLowレベルの入力端子3aに向かって流すことができる最大の電流値が設定された第1の定電

4

流源6と、第1の定電流源6とアノードが接続された第1の電流吸収用ダイオードD3と、第1の電流吸収用ダイオードD3のカソードに接続されたLowレベルに設定されたクランプ用電圧源4とを備えた第1のクランプ手段と、入力端子3aにアノードが接続された第2のクランプ用ダイオードD2と、Highレベルの入力端子3aから第2のクランプ用ダイオードD2に向かって流すことができる最大の電流値が設定された第2の定電流源7と、第2の定電流源7とカソードが接続された第2の電流吸収用ダイオードD4と、第2の電流吸収用ダイオードD4のアノードに接続されたHighレベルに設定されたクランプ用電圧源とを備えた第2のクランプ手段とを備える。第1のクランプ手段は入力端子3aのHighレベルからLowレベルへの立ち下り時の反射波を低減し、第2のクランプ手段は入力端子3aのLowレベルからHighレベルへの立ち上がり時の反射波を低減する。

【0012】

【作用】この発明によれば、入力端子3aがHighレベルからLowレベルへ立ち下がったとき、定電流源6よりクランプ用ダイオードD1を介して入力端子3aに電流が流れ、入力端子3aがLowレベルからHighレベルへ立ち上がったとき、クランプ用ダイオードD2を介して入力端子3aより定電流源7に電流が流れる。これら定電流源6・7によりクランプ回路に過大電流が流れず、クランプ回路の劣化破壊を防止できる。

【0013】

【実施例】つぎに、この発明によるクランプ回路をICテストの入力回路に適用したときの実施例を示すブロック図を図1に示す。図1の1は検査されるICであるDUT1、1aはDUT1の出力端子、2は検査されるDUT1をICテストの入力回路に接続するための同軸ケーブルである。

【0014】ICテストの入力回路は、DUT1の出力電圧がHighレベルかLowレベルかを判定するための基準電圧となる基準電圧源（V3）8と、DUT1の出力電圧を入力端子3aに基準電圧源8の出力電圧を入力端子3bにそれぞれ入力してDUT1の出力電圧を判定する比較器3と、入力端子3aに発生するリンギングを防止するクランプ回路33により構成されている。実施例でも比較器3は、DUT1の出力状態（Highレベル、Lowレベル）の判定を基準電圧源8の出力3bと比較することでその判定出力3cをICテストの試験制御部に与え、DUT1の動作の良否を判定させる。

【0015】また、クランプ回路33は、クランプ用ダイオードD1・D2、クランプ用ダイオードD1・D2に電流が流れないとき、定電流源6・7からの電流を吸収する電流吸収用ダイオードD3・D4、電流制限値を決める定電流源6（I1）・7（I2）およびクランプ電圧源4（V1）・5（V2）により構成され、これら

Rest Available Copy

(4)

特開平6-342033

5

各構成要素が図1に示すように接続されている。クランプ電圧源4はDUT1のLowレベルにほぼ等しい電圧値に、クランプ電圧源5はDUT1のHighレベルにほぼ等しい電圧値に、それぞれ設定される。

【0016】定電流源6はダイオードD1からLowレベルを出力しているDUT1に向かって流すことができる最大の電流値が設定される。また、定電流源7はHighレベルを出力しているDUT1からダイオードD2に向かって流すことができる最大の電流値が設定される。なお、定電流源6・7は電流極性が互いに逆のものである。

【0017】次にクランプ用ダイオードD1・D2の電流を制限する動作について説明する。なお、ここではDUT1の出力がHighレベルからLowレベルに変化するときについて説明する。

【0018】Highレベルの状態では、定電流源6の電流はダイオードD3を通過してクランプ電圧源4に流れ込んでいる。ダイオードD3のアノードの電圧はクランプ電圧源4の電圧(Lowレベル)より、ダイオードD3の順方向電圧分だけ高い電圧ではあるが、ほぼLowレベルと同一であり、クランプ用のダイオードD1は逆バイアス(カソードがHighレベル、アノードがLowレベル)されている。

【0019】図4で、比較器3の入力端子3aおよびクランプ用のダイオードD1のカソードは反射によって、Lowレベルよりさらに負側に駆動されるため、定電流源6からの電流はダイオードD1に流れだし、反射波を減少させることができる。

【0020】このとき、ダイオードD1から同軸ケーブル2を通してDUT1に流れる電流の最大値は定電流源6の電流設定によって決まる。定電流源6の電流値はあらかじめダイオードD1が劣化破損しない値に設定されているため、従来のように負付回路3が劣化破損することはない。なお、DUT1の出力がLowレベルからHighレベルに変化するとき、クランプ用のダイオードD2のカソードに接続される回路により同様の電流制限動作がおこなわれる。

【0021】ところで、DUT1の端子は入力と出力を共用することがある。このため、ICテストにおいてはDUT1の出力を判定する入力回路とDUT1にテストパターンなど信号を与えるドライバ回路を結合していることが多い。図2は、このようなICに適用可能なICテストの入力回路に本発明を適用したときの実施例の構成図である。なお、この実施例において図1と同じ構成要素には同一の符号を記し、符号35によりクランプ回路を示している。

【0022】入力回路として使用するとき、ドライバ回路として使用するときの切換えはI/O切換え信号で行なわれる。また、定電圧源(V4)9と(V5)10は、ドライバ回路が動作するとき、クランプ用のダイオ

6

ードD1、D2を逆バイアスにして、テストパターンの信号入力を入力するドライバ回路1に影響を与えないようにするためにある。定電圧源9、10はそれぞれダイオードD5、D6を通して、クランプ用のダイオードD1のアノードとD2のカソードに接続する。

【0023】入力回路として使用するとき、インバータ12を介して入力したI/O切換え信号によってドライバ11の出力は高インピーダンス状態になり、影響をあたえないようにする。このとき、定電圧源9は定電圧源4の設定上限値(Lowレベルの上限値)、定電圧源10は定電圧源5の設定下限値(Highレベルの下限値)のそれぞれの電圧を出力するようにI/O切換え信号で制限される。

【0024】一方、ドライバ回路11を使用するとき、定電圧源9はドライバ回路11のLowレベル出力電圧の下限値、定電圧源10はHighレベル出力電圧の上限値をそれぞれ出力するようにI/O切換え信号によって制御される。この動作によってドライバ回路11が動作するとき、ダイオードD1、D2が常に逆バイアス状態になる。

【0025】定電流源6・7の電流値は30~50mAが一般的に用いられる。他の実施例としては、DUT1に電流負荷の印加回路として使用できる。このときは、DUT1のLowレベル出力時のすい込み電流規格値を定電流源6に設定し、Highレベル出力時の出力電流規格値を定電流7に設定し、さらに定電圧源4・5を電流切換え電圧に設定する。

【0026】なお、上述した実施例では本発明をICテストの入力回路に適用したが、本発明はとくにICテストに限定されるものではなく、クランプ用ダイオードに過電流の流れる可能性のある他の装置にも適用可能である。

【0027】

【発明の効果】この発明によれば、検査を行うICが不良であり、クランプ回路に過電流が流れる場合であっても、定電流源により流れる電流が制限されるためクランプ回路が劣化破損することはない。このため、不良ICによりICテストが破壊されることがなくなり、ICテストの耐久性および作業性が大幅に向上する。

【図面の簡単な説明】

【図1】この発明によるクランプ回路をICテストの入力回路に適用したときの構成図である。

【図2】この発明によるクランプ回路を備えたICテストにおける入力回路と、ドライバ回路を組み合わせたときの実施例を示す構成図である。

【図3】従来のICテストの入力回路におけるクランプ回路を示した構成図である。

【図4】検査を行うICの出力波形とクランプ回路が無いときの入力波形とを示した波形図である。

【符号の説明】

Best Available Copy

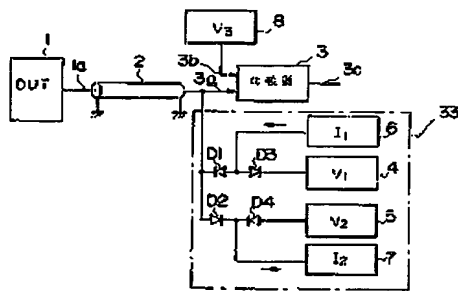
(5)

特開平6-342033

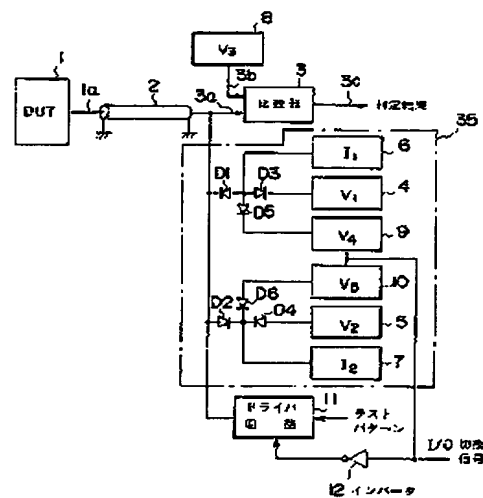
- 7
- 1 検査対象IC
  - 2 同軸ケーブル
  - 3 比較器
  - 4・5・9・10 定電圧源
  - 6・7 定電流源

- 8 基準電圧源
- 11 ドライバ回路
  - 12 インバータ
  - D1・D2 クランプ用ダイオード
  - \* D3・D4 電流吸収用ダイオード

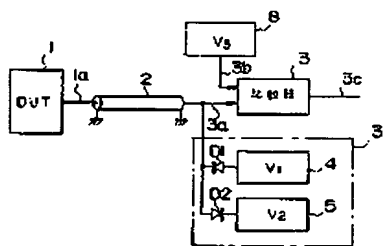
【図1】



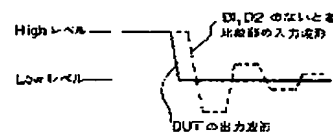
【図2】



【図3】



【図4】



Best Available Copy